

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 3 月 4 日 (04.03.2004)

PCT

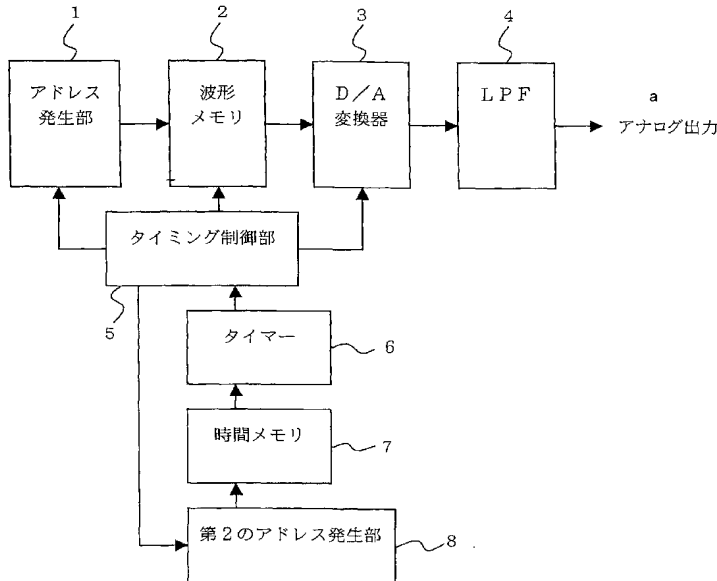
(10) 国際公開番号  
WO 2004/019496 A1

- (51) 国際特許分類: H03M 1/66, (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2003/010702
- (22) 国際出願日: 2003 年 8 月 25 日 (25.08.2003) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 稲常 茂穂 (INAT-SUNE, Shigeho) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: (74) 代理人: 宮田 金雄, 外 (MIYATA, Kaneo et al.); 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).
- 特願2002-244918 2002 年 8 月 26 日 (26.08.2002) JP

[続葉有]

(54) Title: WAVEFORM GENERATION METHOD, WAVEFORM GENERATION PROGRAM, WAVEFORM GENERATION CIRCUIT, AND RADAR DEVICE

(54) 発明の名称: 波形発生方法、波形発生プログラム、波形発生回路、及びレーダ装置



- 1...ADDRESS GENERATION SECTION  
2...WAVEFORM MEMORY  
3...D/A CONVERTER  
a...ANALOG OUTPUT  
5...TIMING CONTROL SECTION  
6...TIMER  
7...TIME MEMORY  
8...SECOND ADDRESS GENERATION SECTION

(57) Abstract: A conventional waveform generation circuit needs to increase the D/A converter bit count and the sampling rate in order to increase the accuracy of the waveform rectification, which in turn increases the cost. To solve this problem, as a method for increasing the accuracy of waveform rectification, the output time interval of the D/A converter output values is controlled so that the output voltage difference between the target waveform and the output waveform is reduced, thereby reducing the output waveform quantization error. Thus, it is possible to generate a waveform with a high accuracy even when the D/A converter bit count is small. Moreover, by applying the waveform generation method to radar device modulation control, it is possible to constitute a modulation circuit of a small-size and cheap oscillator.

(57) 要約: 従来の波形発生回路では、波形整形の精度を高めるためにD/A変換器のビット数やサンプリングレートを増やす必要があって、コストが高くなるという問題があった。このため、波形整形の精度を高める方法として、目標波形と出力波形の出力電圧の差が小さくなるように、D/A変換器の出力値の出力時間間隔を制御することで、出力波形の量子化誤差を小さくした。これによって、D/A変換器のビット数が少なくても高精度に波形を発生させることができる。また、

この波形発生方法をレーダ装置の変調制御に適用することで、小型で安価な発振器の変調回路を構成でき

[続葉有]

WO 2004/019496 A1



(81) 指定国 (国内): JP, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

## 1

## 明 細 書

波形発生方法、波形発生プログラム、波形発生回路、及びレーダ装置

## 5 技術分野

本発明は、プログラマブルに波形を作り出す波形発生方法、波形発生プログラム及び波形発生回路と、波形発生回路を変調回路として備えたレーダ装置に関するものである。

## 10 背景技術

従来、デジタル信号をアナログ信号に変えてアナログ波形を再生する回路として、復号化とステップパルス化を行うD/A(Digital to Analog)変換器と、後置フィルタ（低域通過フィルタと同じ。）を備えたものが知られている。この回路では、所望の目標波形との量子化誤差が $-1/2 \text{ LSB} \sim +1/2 \text{ LSB}$ の範囲にあった（例えば、相良岩男著、AD/D A変換回路入門、P. 68～P. 75、P. 80～P. 81参照）。

第11図は従来の波形発生回路の構成の一例である。図において、1はメモリのアドレス値を発生するアドレス発生部、2は波形データを記憶する波形メモリである。3は波形メモリ2の出力値に応じてデジタル値をアナログ値に変換するD/A(Digital to Analog)変換器、4はD/A変換器3の出力の高周波成分を落として波形を滑らかにする低域通過フィルタである。5はアドレス発生部1とD/A変換器3にクロック信号やイネーブル信号等の必要な制御信号を供給するタイミング制御部である。この波形発生回路は、電力増幅するアンプとスピーカを加えることによって、音声合成装置として利用することが可能である。

また、第11図において、波形メモリ2は、発生させたい波形データを予め

## 2

時系列に並べて記憶している。タイミング制御部 5 は、アドレス発生部 1 に対して、一定時間間隔でメモリアドレス値を出力するようにトリガ信号等の制御信号を発生させる。タイミング制御部 5 は、波形メモリ 2 に対して、メモリ出力に必要なチップセレクト信号等の制御信号を発生させ、D/A変換器 3 に対して、D/A変換に必要なトリガ信号やセレクト信号を出力する。

アドレス発生部 1 は、タイミング制御部 5 から受けた一定時間間隔のトリガ信号に同期して、波形メモリ 2 に記憶してある波形データの先頭番地から順番にアドレス値を出力する。波形メモリ 2 は、アドレス発生部 1 から出力されるアドレス値に応じた波形データを出力する。D/A変換器 3 は、波形メモリ 2 から出力される値がセットされると、その値に比例した電圧を出力する。低域通過フィルタ (LPF) 4 は、D/A変換器 3 の出力周期に応じて生じるサンプリング雑音を落とす。

第 1 2 図は従来の波形発生回路の波形発生方法の基本概念を示す。第 1 2 図において、101 は発生すべき目標波形、104 は D/A 出力波形である。従来の波形発生回路は、目標波形 101 が与えられると、等間隔のサンプリング時間  $T_s$  でアナログ量である波形値に最も近い D/A 変換器の値を選択する、いわゆる量子化を行い、出力を決定していた。D/A 出力波形 104 は、時系列的に等間隔に D/A 変換器 3 から繰り出される出力電圧値を示している。

第 1 3 図は第 1 2 図の拡大図である。同図において、D/A 変換器 3 の出力 102 は目標波形に近い値を選択するが、同じ時刻の目標波形の通過点 103 と比較すると、等間隔のサンプリング時間  $T_s$  によって最大で  $1/2 \text{ LSB}$  の量子化誤差  $\delta$  が発生することが分かる。すなわち、量子化誤差  $\delta$  が  $-1/2 \text{ LSB} \sim +1/2 \text{ LSB}$  の範囲となっている。

次に、第 1 4 図は FM-CW レーダ装置の構成の一例を示す図である。ここで、801 は変調回路、802 は発振器、803 は方向性結合器、804 は送信アンテナ、805 は受信アンテナ、806 はミキサ、807 は増幅器、808 は A/D (Analog to Digital)

変換器、809 は周波数分析手段、810 は目標検出手段、811 は距離・速度算出手段を示す（例えば、S.A.Hovanesian、“Radar System Design & Analysis”、Artech House,INC.、P.78～P.81 参照。）。

第 14 図において、まず、変調回路 801 は周波数変調（以下、FM(Frequency Modulation)）信号を発生し、発振器 802 へ送る。発振器 802 は FM 信号で変調された高周波信号を発生し、方向性結合器 803 で分配して送信アンテナ 804 とミキサ 806 に送る。送信アンテナ 804 は送られてきた高周波信号を、レーダ装置前方の目標物に送信波として放射する。ここで、目標物が存在する場合、時間遅れを生じた受信波（反射波）が受信アンテナ 805 によって受信され、ミキサ 806 へ送られる。ミキサ 806 はこの反射波と方向性結合器 803 によって分配された送信波との周波数差の信号（以後、ビート信号という。）を発生する。このビート信号は増幅器 807 へ送られる。増幅器 807 はビート信号を増幅して A/D 変換器 808 に送る。

A/D 変換器 808 はビート信号をアナログ信号形式からデジタル信号形式に変換して周波数分析手段 809 へ送る。周波数分析手段 809 はデジタル化されたビート信号を取り込み、FFT（高速フーリエ変換）等の処理により周波数分布（周波数スペクトル）を求める。目標検出手段 810 は周波数分布と閾値とを比較して、閾値を越えたものの中で極大となるものを目標物とする。距離・速度算出手段 811 は目標検出手段 810 でピックアップされた周波数に基づいて、目標物の相対距離及び相対速度を算出する。

第 15 図及び第 16 図(a)、第 16 図(b)は、目標物の相対距離及び相対速度の算出方法について説明する図である。第 15 図は周波数の変化を示し、第 16 図(a)、第 16 図(b)はビート信号の周波数スペクトルを簡易的に示している。ここで、第 15 図の 812 は FM-CW レーダ装置の送信周波数、813 は受信周波数を示す。

まず、送信周波数 812 を UP チャープ区間  $T_{mu}$  では直線的に上昇、DOWN

Nチャープ区間 $T_{md}$ では直線的に下降と変化させ、電波を送信する。ここで、測定対象がFM-CWレーダ装置に対して相対速度 $v$ 、相対距離 $R$ で存在していたとする。このとき、光速 $C[m/s]$ 、送信波長 $\lambda[m]$ 、時間 $T_{mu}$ 、 $T_{md}$ の区間で $\Delta f$ だけ送信周波数を変化させたすると、ドップラー周波数 $f_d$ は式

5 (1)で表される。ここで、距離に比例した送信周波数と受信周波数の時間差により生じる距離周波数 $f_r$ は式(2)で表され、UPチャープ区間 $T_{mu}$ でのビート周波数 $f_{b1}$ と、DOWNチャープ区間 $T_{md}$ でのビート周波数 $f_{b2}$ は式(3)、(4)で表わされる。

$$f_d = 2 \cdot V / \lambda \quad (1)$$

10  $f_r = (2R \cdot \Delta f) / (C \cdot T_m) \quad (2)$

$$f_{b1} = |f_d - f_r| \quad (3)$$

$$f_{b2} = |f_d + f_r| \quad (4)$$

また、距離周波数 $f_r$ がドップラー周波数 $f_d$ よりも大きい場合、式(4)が成立する。

15  $2f_r = f_{b1} + f_{b2} \quad (5)$

さて、式(5)に式(2)を代入すると、FM-CWレーダ装置から目標物までの相対距離を求める式(6)が導出される。

$$R = (C \cdot T_m) \cdot (f_{b1} + f_{b2}) / (4 \cdot \Delta f) \quad (6)$$

式(6)より、UPチャープ区間 $T_{mu}$ でのビート周波数 $f_{b1}$ とDOWN  
20 チャープ区間 $T_{md}$ でのビート周波数 $f_{b2}$ から、目標物までの距離が求められる。また、距離周波数 $f_r$ を算出すると、式(1)と式(3)、(4)により相対速度 $V$ を求めることもできる。

FM変調により距離を測定する従来のレーダ装置は、距離計測精度を向上させるために、階段波形状の電圧を電圧制御型発振器に供給する。その時、周波  
25 数測定手段は電圧制御型発振器からの出力周波数を測定する。周波数測定手段は階段波形状の電圧の各電圧に対応して電圧制御型発振器からの出力周波数を

測定し、この測定周波数からスイープ速度を一定化するための印加電圧を計算する。制御手段はこの印加電圧を所定間隔で電圧制御型発振器に供給して距離計測を実施していた（例えば、日本特開2002-156447号公報参照）。

#### 発明の開示

- 5 従来の波形発生回路は、時間的に等間隔でD/A変換器の出力制御を行うと、目標波形との誤差は最大で $1/2 \text{ LSB}$ の量子化誤差が発生していた。また、微小信号を扱う場合、D/A変換器の量子化誤差により周期的なリップルノイズが発生していた。

- 第17図(a)、(b)は、量子化誤差によりリップルノイズが発生する様子を示す図である。第17図(a)は目標波形とD/A出力波形の関係、第17図(b)はD/A出力波形と低域通過フィルタの出力波形の関係を示す。説明を簡単にするために目標波形を直線状にしている。901は目標波形、902は目標波形901を量子化してD/A変換器3で出力したD/A出力波形、903はD/A変換器3の後段に位置してサンプリング雑音を落とすために設けられた低域通過フィルタ4  
10 の出力である。

- 第17図(a)より、目標波形901に対して量子化出力の最小刻み幅が荒い場合、D/A変換器3の出力電圧と目標波形との誤差が周期的に大きくなる。結果として、第17図(b)の低域通過フィルタ4の出力903で示すように出力波形が波打ち、サンプリング周波数の整数分の1（ $1/4$ 、 $1/5$ 等）の低周波のリップルノイズが理想的な目標波形に重畳されて現われる。  
20

従来、このリップルノイズを減らすためには、D/A変換器のビット数やサンプリング数を増やす必要があり、コストが高くなっていた。

- また、周波数変調をかけて距離を測定するFM-CWレーダ装置は、高精度の変調制御を行う必要があるが、変調信号にリップルノイズが重畳されていると送信波と受信波の差であるビート信号が歪み、周波数スペクトルが割れたり、  
25 周波数スペクトルの中心から離れた位置に他のピーク値が発生する原因となっ

ていた。

第18図(a)、(b)、(c)は、FM-CWレーダ装置のビート信号の周波数スペクトルを示す図である。904はUPチャープもしくはDOWNチャープのビート信号の周波数スペクトルである。送信周波数が直線状に変化している場合には、  
5 ビート信号が安定して1つの周波数となり、第18図(a)の周波数スペクトル904で示すようにピーク値が鋭く現われ、周辺はウインドウ関数に従うサイドローブレベルとなる。

しかしながら、送信周波数が正確な直線状ではなくリップルノイズが重畳されていると、リップルノイズの周期に従う周波数だけピーク周波数からずれた  
10 位置に別のピークが現われる。

第18図(b)は、リップルノイズの周波数がスペクトルの分解能に近い場合であり、ビート信号のスペクトルの途中に極大点が発生する例を示している。第18図(c)は、リップル周波数が大きく、完全にビート信号のスペクトルから離れている例を示す。第18図(b)、第18図(c)のいずれも目標物の距離を計算する  
15 場合に障害となっていた。

従来、FM-CWレーダ装置の変調回路に用いるD/A変換器は、高精度の制御を行うために、ビット数やサンプリング数を増やす必要があった。そのためコストが高くなっていた。

この発明は、上記のような問題点を解決するためになされたものであり、リップルノイズを抑圧した高精度の波形発生方法を得ることを目的としている。  
20

また、小型で安価な波形発生回路、及びこの波形発生回路を変調回路に備えたレーダ装置を得ることを目的としている。

本発明に係わる波形発生方法は、D/A変換器から出力される所望の目標波形に対して、予めこの目標波形の電圧変動分が略一定となるように上記D/A  
25 変換器の出力値と出力タイミングを決定し、この決定される上記D/A変換器の出力値と出力タイミングに基づいて、順次、上記D/A変換器から出力値を



発生させるようにしたことを特徴としている。

- また、本発明に係わる波形発生回路は、所望の目標波形に基いて予め離散的に設定された波形出力値の出力時間間隔を記憶する時間メモリと、上記時間メモリに記憶された出力時間間隔に基づいて、上記波形出力値をD/A変換する
- 5 タイミングを設定するタイミング制御部と、上記タイミング制御部で設定されたタイミングに応じて、上記波形出力値をD/A変換するD/A変換器を備えたことを特徴としている。

#### 図面の簡単な説明

- 10 第1図(a)、(b)、(c)、(d)、(e)は、この発明の実施の形態1による波形発生方法を説明する図である。

第2図は、この発明の実施の形態1による目標波形とD/A変換器出力との誤差の低減化を説明する図である。

- 15 第3図(a)、(b)、(c)は、この発明の実施の形態1による目標波形の勾配と出力時間間隔との関係を説明する図である。

第4図は、この発明の実施の形態2による波形発生回路の構成を示す図である。

第5図は、この発明の実施の形態3による波形発生回路の構成を示す図である。

- 20 第6図は、この発明の実施の形態3によるデータ作成処理手順を示すフローチャートである。

第7図(a)、(b)は、この発明の実施の形態3によるメモリ内容を示す図である。

第8図は、この発明の実施の形態3による目標波形からの出力時間間隔の設定の仕方を説明する図である。

- 25 第9図は、この発明の実施の形態3による波形出力処理手順を示すフローチャートである。

第 10 図(a)、(b)は、この発明の実施の形態 4 によるレーダ装置の変調波形を示す図である。

第 11 図は、従来の波形発生回路の構成を示す図である。

第 12 図は、従来の波形発生回路の波形発生方法を示す図である。

5 第 13 図は、従来の波形発生回路による目標波形と D/A 変換器出力との誤差を説明する図である。

第 14 図は、FM-CW レーダ装置を示す構成図である。

第 15 図は、FM-CW レーダ装置の送信波形と受信波形を示す図である。

第 16 図(a)、(b)は、ビート信号の周波数スペクトルを示す図である。

10 第 17 図(a)、(b)は、従来の波形発生回路の課題を説明する図である。

第 18 図(a)、(b)、(c)は、従来の FM-CW レーダ装置の課題を説明する図である。

発明を実施するための最良の形態

15 以下に、本発明を添付図面に従ってより詳細に説明する。

実施の形態 1.

第 1 図は、この発明の実施の形態 1 による波形発生方法を示す図である。図において、101 は目標波形、102 は閾値電圧、103 は閾値電圧 102 と目標波形 101 の交点、104 は D/A 出力波形である。

20 次に、第 1 図を用いて実施の形態 1 の動作を説明する。

第 1 図(a)の目標波形 101 は、本来出力することが望ましい誤差の無い理想的な波形、もしくは十分細かく近似された波形を表わしている。目標波形 101 は、図示していないが別の計測手段や計算により、予め与えられているものとする。

25 量子化間隔（電圧方向）及び出力時間間隔（時間方向）が荒い D/A 変換器では、目標波形 101 と同じ波形を直接出力することはできない。このため、

目標波形 101 に近い出力波形が得られるように、D/A 変換器の出力値の組み合わせを決定する必要がある。実施の形態 1 では、D/A 変換器 3 の出力時間間隔を可変にすることにより、目標波形 101 に対して出力波形の誤差を小さくしている。

5 次、D/A 変換器 3 の出力値と出力時間間隔の決定方法について説明する。

第 1 (b) 図は使用している D/A 変換器 3 で表現できる複数の閾値電圧 102 により、目標波形 101 を分割する様子を示している。閾値電圧 102 は、D/A 変換器 3 の最小分解能の電圧刻みで、D/A 変換器 3 の最小値から最大値まで設定する。この最小分解能は D/A 変換器 3 のビット数によって決まる。

10 まず、D/A 変換器 3 の出力値の決定は、第 1 (c) 図で示すように閾値電圧 102 と目標波形 101 の一致する複数の交点 103 から求める。D/A 変換器 3 の出力値は、交点 103 の時間的に早い順番からそれぞれ  $v_1$ 、 $v_2$ 、 $\dots$   $v_n$  とする。

15 次、出力時間間隔を決定する。出力時間は、第 1 (d) 図に示すように、交点 103 から時間軸方向の値を読み取り、 $v_1$ 、 $v_2$ 、 $\dots$   $v_n$  に対応する時間  $t_1$ 、 $t_2$ 、 $\dots$   $t_n$  を決める。出力時間間隔は、基準時間から  $t_1$  までの差分を  $T_1$ 、 $t_1$  から  $t_2$  までを  $T_2$ 、 $\dots$ 、(途中省略)、 $t_{n-1}$  から  $t_n$  までを  $T_n$  とする。 $T_1$  から  $T_n$  はマイコンのクロック周期の整数倍に丸め込まれているものとする。

20 第 1 (e) 図は、実施の形態 1 の波形発生方法により、D/A 変換器 3 の制御を行い、波形出力する様子を説明する図である。すなわち、D/A 変換器 3 の D/A 出力波形 104 は決定した出力値  $v_1$ 、 $v_2$ 、 $\dots$   $v_n$  と出力時間間隔  $T_1$ 、 $T_2$ 、 $\dots$   $T_n$  に基づいて順番に変化させていく。変化するまでの間は、D/A 変換器 3 の値を一定に保つ一般的な制御を行う。D/A 変換器 3 の  
25 D/A 出力波形 104 は階段状となり、目標波形 101 との誤差が発生する。  
しかし、D/A 変換器 3 の出力側に意図的に応答性を遅くさせるローパスフィ

ルタ（低域通過フィルタ）を入れることにより、D/A変換器3の出力における階段状のエッジを鈍らせ（階段状の出力値の間を補間し）、低域通過フィルタからの最終出力は目標波形101に近似されたものとなる。

実施の形態1では、波形がゆっくり変化するところは出力時間間隔を長く、  
5 急激に変化するところは出力時間間隔を短く設定することにより、目標波形との誤差を極力小さくすることが可能となる。

第2図は第1図を拡大した図であり、目標波形とD/A変換器出力との誤差が小さくなる様子を示す。図において、201は従来の波形発生回路におけるD/A変換器3の出力点（特定の出力時間に特定の出力電圧を得る点）、20  
10 2は出力点201と同時刻の目標波形の通過点、203は実施の形態1の方法により出力点を決定したD/A変換器3の出力点である。従来の波形発生回路によるD/A変換器3の出力点201と、目標波形の通過点202とでは、その量子化誤差 $\delta$ が大きくなっている。しかし、この実施の形態1では、マイクロコンピュータ（以下、マイコン）のクロック単位（クロック間隔）Kの整数  
15 倍で時間方向に出力点の位置を微調整する。このとき、本実施の形態1によるD/A変換器3の出力点203と、目標波形の通過点の出力電圧との差が、極小となるように、出力時間間隔 $T_n$ を最適な間隔に調整する。これによって、D/A変換器3の出力点203と目標波形の通過点との出力電圧の量子化誤差が  
20 小さくなる。なお、図2ではD/A変換器3の出力点203が目標波形の通過点とほぼ重なっており、量子化誤差が極めて小さくなっているのが分かる。

第3図は、この実施の形態1において、目標波形が直線状の事例を示す。第3図(a)が最も勾配がゆるく、第3図(b)、第3図(c)と続いて勾配がきつくなっている。実施の形態1の方法によると、第3図(a)から第3図(c)のように勾配が変化しても、出力時間をクロック単位の整数倍で適宜調整して出力時間間隔を制  
25 御することにより、目標波形とD/A変換器の出力波形との誤差を殆どなくすることができる。特に、目標波形が直線状の場合は最も効果が高いことを示して

いる。

この実施の形態によれば、D/A変換器の出力点の出力時間間隔を変化させることによって、時間的に等間隔で出力する場合に比べてD/A変換器の量子化誤差を小さくすることが可能となり、微小信号時に起こりやすい低周波のリップルノイズを抑えることができる。

5   アップルノイズを抑えることができる。

実施の形態2.

第4図は、この発明の実施の形態2による波形発生回路の構成を示す図である。図において、1は波形メモリのアドレス値を発生するアドレス発生部、2は波形データを記憶する波形メモリ、3は波形メモリ2の出力値に応じてデジタル値をアナログ値に変換するD/A変換器、4はD/A変換器3の出力の高周波成分を落として波形を滑らかにする低域通過フィルタ（LPF）、5はアドレス発生部1とD/A変換器3にクロック信号やイネーブル信号等の必要な制御信号を供給するタイミング制御部、6はタイミング制御部5にトリガをかけるタイマー、7は時間間隔データを記憶する時間メモリ、8は時間メモリ7の  
10   アドレス値を発生する第2のアドレス発生部である。

次に、第4図を用いて、実施の形態2の動作を説明する。

第4図において、波形メモリ2には実施の形態1で示した離散的に設定された出力電圧の値 $v_1 \sim v_n$ を予め時系列に並べて記憶させておく。また、時間メモリ7は実施の形態1で示した出力時間間隔 $T_1 \sim T_n$ に相当するタイマー値、例えば基準クロックのカウント数などを予め記憶させておく。タイミング制御部5はアドレス発生部1及び第2のアドレス発生部8に対して、メモリアドレス値を出力するようにトリガ信号等の制御信号を発生させ、D/A変換器3に対してはD/A変換に必要なトリガ信号やセレクト信号を出力する。  
20   値、例えば基準クロックのカウント数などを予め記憶させておく。タイミング制御部5はアドレス発生部1及び第2のアドレス発生部8に対して、メモリアドレス値を出力するようにトリガ信号等の制御信号を発生させ、D/A変換器3に対してはD/A変換に必要なトリガ信号やセレクト信号を出力する。

まず、タイミング制御部5は、第2のアドレス発生部8に対してトリガ信号  
25   を加えると第2のアドレス発生部8は時間メモリ7に記憶してあるタイマー値の先頭番地から順番にアドレス値を出力する。時間メモリ7は、第2のアドレ

ス発生部 8 から受けたアドレス値に従いタイマー値を読み出し、読み出されたタイマー値はタイマー 6 にセットされる。タイマー 6 は、セットされたタイマー値の示す出力時間間隔  $T_1 \sim T_n$  に応じた間隔で、タイミング制御部 5 に対してトリガ信号を供給する。タイミング制御部 5 は、タイマー 6 から受けたトリガ信号に同期してアドレス発生部 1、波形メモリ 2 及び D/A 変換器 3 に対してトリガ信号を送る。

アドレス発生部 1 は、トリガ信号に同期して波形メモリ 2 に記憶してある波形データの先頭番地から順番にアドレス値を出力する。波形メモリ 2 は、トリガ信号に同期して波形データを出力し D/A 変換器 3 にセットする。D/A 変換器 3 は、トリガ信号に同期して波形メモリ 2 からセットされた値に比例した電圧を出力する。低域通過フィルタ 4 は、D/A 変換器 3 の出力周期に応じて生じるサンプリング雑音を落とす。再び、第 2 のアドレス発生部 8 に対してタイミング制御部 5 からトリガ信号が送られ、一連の動作を繰り返すことにより、実施の形態 1 で示した波形発生方法を実現できる。

この実施の形態によれば、出力時間間隔をクロック単位で任意に設定でき、目標波形と出力波形との誤差を、従来の D/A 変換器の使用方法で発生していた  $1/2 \text{ LSB}$  の量子化誤差よりも、より小さい誤差に抑えることが可能であり、D/A 変換器のビット数を多く取る必要がなくなる。すなわち、ビット数が少ない安価な D/A 変換器を用いて、高精度に出力波形を発生させることができる。

実施の形態 3.

第 5 図は、この発明の実施の形態 3 による波形発生回路の構成を示す図である。図において、3、4 は実施の形態 2 と同一である。9 は D/A 変換器 3 とインタフェースできる I/O やタイマー値に応じて割り込み発生時間を正確に設定できるタイマー回路も備えたマイコンである。マイコン 9 の内蔵メモリには、D/A 変換器 3 の出力電圧値と出力時間間隔に相当するタイマー値を記憶させ

である。

ここで、実施の形態 2 における、アドレス発生部 1、波形メモリ 2、タイミング制御部 5、タイマー 6、時間メモリ 7、第 2 のアドレス発生部 8 からなる一連の波形発生機能群は、マイコン 9 内にソフトウェア処理として内蔵しており、実施の形態 2 と同じ動作を実行することができる構成となっている。

ソフトウェア処理としては、時間メモリ 7 と、波形メモリ 2 に記憶させるデータ作成処理と、波形出力処理の 2 つに分かれる。第 6 図は、データ作成処理を示す。

また、第 7 図(a)は時間メモリ 7、第 7 図(b)は波形メモリ 2 の中身を示し、第 8 図は、目標波形から出力時間間隔を求める説明図を示す。第 9 図は波形出力処理を示す。

まず、第 6 図に従い、データ作成処理を説明する。

処理 S 1 0 1 において、目標波形を 1 つの関数で表わすことは一般的には困難であるため、例えば近似精度が十分高くなるように細かい時間間隔で分割し複数の  $n$  次関数 ( $n$ : 整数) で近似する。第 8 図の 4 0 1 は、例えば、複数の一次関数で近似された近似目標波形である。

$$t_{001} \leq t < t_{002} \text{ は } v = f_1(t) = a_1 \cdot t + b_1$$

$$t_{002} \leq t < t_{003} \text{ は } v = f_2(t) = a_2 \cdot t + b_2$$

$$t_{003} \leq t < t_{004} \text{ は } v = f_3(t) = a_3 \cdot t + b_3$$

20 . . . . .

次に処理 S 1 0 2 において、D/A 変換器 3 の取り得る電圧値に対する時間  $t$  を求めるために、処理 S 1 0 1 で作成した関数の逆関数を求める。

$$v_{001} \leq v < v_{002} \text{ は } t = (v - b_1) / a_1$$

$$v_{002} \leq v < v_{003} \text{ は } t = (v - b_2) / a_2$$

$$25 \quad v_{003} \leq v < v_{004} \text{ は } t = (v - b_3) / a_3$$

. . . . .

$v_{001}$ 、 $v_{002}$ 、、、は複数の一次関数に $t_{001}$ 、 $t_{002}$ 、、、を代入して求めた値である。

- 次に処理 S 1 0 3 において、D/A変換器 3 の設定電圧  $v_1 \sim v_N$  に対する時間  $t_1 \sim t_N$  を求める。設定電圧  $v_1 \sim v_N$  の範囲は目標波形の範囲で決まり、電圧の間隔は D/A変換器 3 の最小量子化電圧  $\Delta V$  で決まる。例えば  $n = 1 \sim N$  において、以下の式で表わされる。

$$v_n = v_o + \Delta V \cdot n \quad (v_o \text{ は目標波形の出力電圧の初期値})$$

この式を処理 S 1 0 2 で求めた逆関数に代入し、 $t_1 \sim t_N$  を求める。どの逆関数に代入するかは  $v_1$ 、 $v_2$ 、、、の領域判定で決める。

- 10 次に処理 S 1 0 4 において、D/A変換器 3 の出力間隔に変換するために  $t_1 \sim t_N$  から時間差分  $T_1 \sim T_N$  に変換する。

$$T_1 = t_1$$

$$T_2 = t_2 - t_1$$

$$T_3 = t_3 - t_2$$

- 15 . . . . .

次に、処理 S 1 0 5 において、時間メモリ 7 に時間差分  $T_1 \sim T_N$  を記憶させ、処理 S 1 0 6 において、設定電圧  $v_1 \sim v_N$  を記憶させる。時間メモリのアドレスの先頭にはゼロを初期値として入れ、波形メモリ 2 のアドレスの先頭には目標波形の出力電圧の初期値  $v_o$  を記憶させておく。

- 20 もうひとつのソフトウェア処理である、波形出力処理を第 9 図に従い、説明する。

まず、処理 S 2 0 1 において、ループ変数である  $n$  に初期値ゼロを代入する。

次に、処理 S 2 0 2 において、時間メモリ 7 から  $n$  番目の時間データ  $T_n$  を読み出し、マイコン 9 に内蔵されたタイマーにセットする。

- 25 次に、処理 S 2 0 3 において、タイマーを起動させる。

次に、処理 S 2 0 4 において、タイマーから時間経過の通知を受けると、波



形メモリ 2 から n 番目の波形データを読み出し、D/A変換器 3 にセットする。処理 S 2 0 2、処理 S 2 0 3 のタイマーはダミーのループを回す等のソフトウェア処理で実現しても良い。

- 次に、処理 S 2 0 5 は、波形出力処理が完了したかの判定を行い、完了して  
5 いない場合は、処理 S 2 0 6 へ進み、ループ変数 n のカウントアップを行う。

データ作成処理は、同じマイコン 9 で行わなくてもよく、外部のコンピュータ等で予めデータ作成を行い、マイコン 9 の時間メモリ 7 と、波形メモリ 2 に書き込んで良い。また、波形データが一定間隔で増える場合にはカウンタ等で代用することも可能である。

- 10 また、本実施の形態において波形発生機能群のソフトウェア処理としてマイコンを用いた事例を説明したが、例えば、パーソナルコンピュータ、オフィスコンピュータ、ミニコンピュータ、汎用コンピュータなど、論理演算や算術演算等の一般的なコンピュータ機能を有するものであれば良いことは論を待たない。

- 15 この実施の形態によれば、ビット数が少ない安価な D/A 変換器を用いて高精度に波形を発生させることができると共に、ソフトウェア処理に容易に仕様変更が可能である。

実施の形態 4.

- 第 1 0 図 (a)、第 1 0 図(b)は、この発明の実施の形態 4 の変調波形を示す図  
20 である。第 1 0 図 (a) において、5 0 1 は FM-CW レーダ装置の変調回路 8 0 1 から出力される変調波形の UP チャープ波形、5 0 2 は DOWN チャープ波形である。第 1 0 図(b)において、5 0 3 は D/A 変換器 3 の出力波形である。この変調波形は、実施の形態 2 や実施の形態 3 で説明した波形発生回路で発生する。また、この波形発生回路は、第 1 4 図に示す FM-CW レーダ装置の変調回路 8 0 1 を構成する。なお、FM-CW レーダ装置のその他の構成や、FM-CW  
25 レーダ装置の基本動作については、第 1 4 図乃至第 1 6 図の説明で説

明しているため省略する。

FM-CWレーダ装置の発振器は、一般的には制御電圧（変調波形）と発振周波数の関係が非線形であり、また個体差や温度特性があるため、1台ごと特性に合わせて制御電圧をかける必要がある。第10図のUPチャープ波形501  
5 とDOWNチャープ波形502は、変調回路801から出力されて発振器に加える制御電圧波形を示している。この制御電圧波形は、周波数を直線的に変化させるように生成する必要がある。これらの波形に対して、量子化誤差が小さくなる出力タイミング $t_1 \sim t_n$  ( $n \leq N$ )を求め、D/A変換器3の出力時間間隔 $T_1 \sim T_n$ に置き換える。出力時間間隔 $T_1 \sim T_n$ は不等間隔となっ  
10 ているが、その間隔を求める方法については実施の形態1乃至実施の形態3に示したとおりである。

また、出力時間間隔 $T_1 \sim T_n$ に従い、D/A変換器3から出力電圧を出力することによって、制御電圧が微小信号の場合でも発振器を直線的に発振させ、目標物の周波数スペクトルを安定にさせることができる。このD/A変換器3  
15 （すなわち、変調回路801を構成する波形発生回路）からの波形出力動作については、実施の形態1乃至実施の形態3に示したとおりである。

この実施の形態によれば、FM-CWレーダ装置を構成する発振器の、発振周波数を変調する変調回路として、実施の形態2または3に記載の波形発生回路を適用している。これによって、小型で安価な発振器の変調回路を備えたFM-CWレーダ装置を構成できる。  
20

#### 産業上の利用可能性

以上のように、本発明に係る波形発生方法、波形発生プログラム及び波形発生回路は、所望の目標波形を得るためにD/A変換器から時間的に等間隔で信号出力する場合に比べて、目標波形と出力波形の誤差を縮小化することが可能  
25 となる。このため、小型で安価な発振器の変調回路を備えたFM-CWレーダ

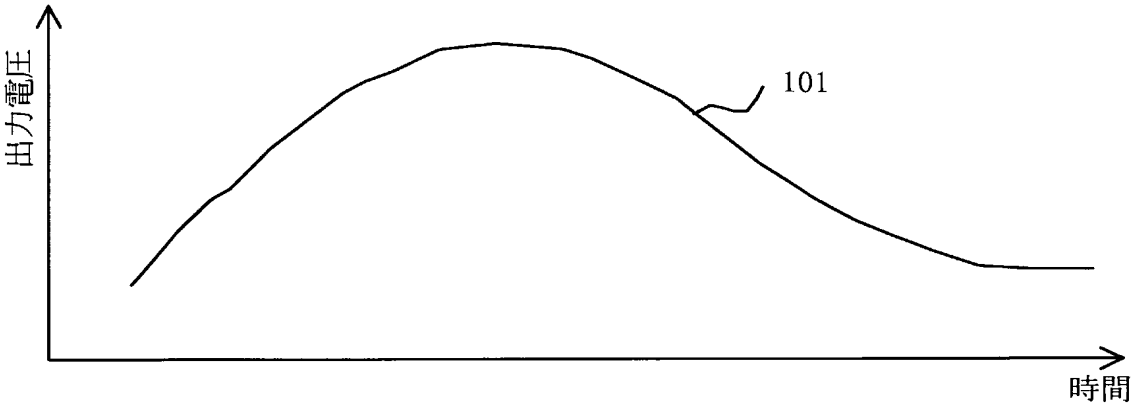
装置に利用できる。

## 請求の範囲

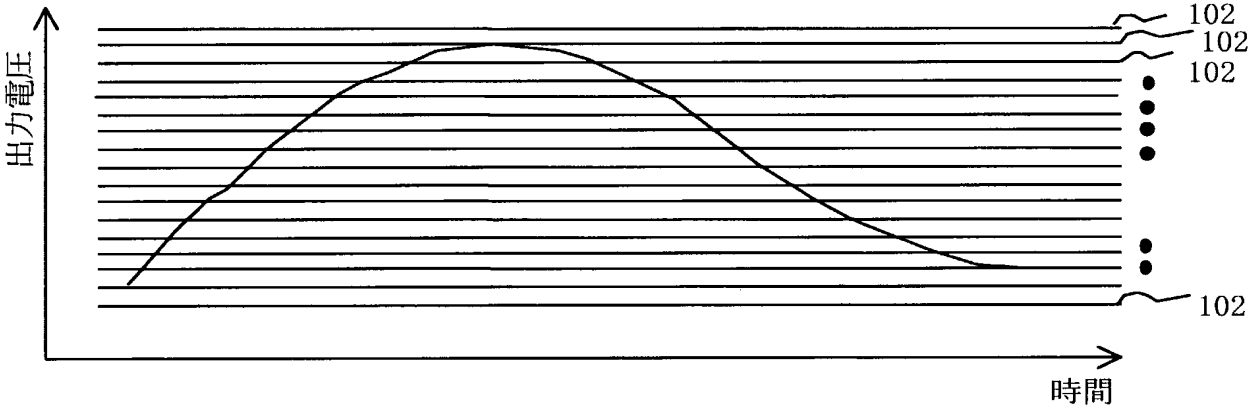
1. D/A変換器から出力される所望の目標波形に対して、予めこの目標  
波形の電圧変動分が略一定となるように上記D/A変換器の出力値と出力タイ  
5 ミングを決定し、この決定される上記D/A変換器の出力値と出力タイミング  
に基づいて、順次、上記D/A変換器から出力値を発生させるようにしたこと  
を特徴とする波形発生方法。
2. 上記D/A変換器の出力側に低域通過フィルタを設け、上記D/A変  
換器の出力値間を補間するようにしたことを特徴とする、請求項1記載の波形  
10 発生方法。
3. 以下のステップ(a)乃至ステップ(f)の手順で作成され、時間メモ  
リ及び波形メモリに記憶されたデータを用いて、波形発生するプログラムで  
あって、  
以下のステップ(g)からステップ(k)の波形出力処理手順によって波形  
15 発生するプログラム。  
(a) 目標波形 $v$ を複数の関数 $f_1(t)$ ,  $f_2(t)$ ,  $f_3(t)$ , ...で近似す  
るステップ;  
(b) 上記複数の関数 $f_1(t)$ ,  $f_2(t)$ ,  $f_3(t)$ , ...の夫々の逆関数を  
求めるステップ;  
20 (c) D/A変換器の出力設定電圧値 $V_1, V_2, V_3, \dots, V_n$ に対応する夫々の  
時間 $t_1, t_2, t_3, \dots, t_N$ を求めるステップ;  
(d) 上記時間 $t_1, t_2, t_3, \dots, t_N$ を、夫々直前時間各 $t$ との時間差分 $T_1,$   
 $T_2, T_3, \dots, T_N$ に置き換えるステップ;  
(e) 上記時間差分 $T_1, T_2, T_3, \dots, T_N$ を時間メモリとして記憶させ、上記  
25 時間差分の初期値 $T_0$ をゼロとして、アドレス値0000に記憶させるステッ  
プ;

- (f) 出力設定電圧値  $V_1, V_2, V_3, \dots$  を波形メモリとして記憶させ、上記波形メモリの初期値  $V_0$  をアドレス値 0000 に記憶させるステップ；
- (g) ループ変数  $n$  に初期値ゼロを代入するステップ；
- (h) 上記時間メモリから  $n$  番目の時間データ  $T_n$  を読み出し、所定のタイマーにこの時間データ  $T_n$  をセットするステップ；
- (i) 上記タイマーを起動させ、カウントするステップ；
- (j) 上記タイマーからカウント終了の通知を受け、上記波形メモリから  $n$  番目の波形データを読み出し、出力設定電圧値  $V_n$  を上記 D/A 変換器にセットするステップ；
- 10 (k) ループ変数  $n$  の確認により波形出力処理の完了状態を判定し、完了するまで、ループ変数  $n$  のカウントアップを行って、ステップ (h) 乃至ステップ (j) の一連処理を繰り返すステップ；
4. 所望の目標波形に基いて予め離散的に設定された波形出力値の、出力時間間隔を記憶する時間メモリと、
- 15 上記時間メモリに記憶された出力時間間隔に基づいて、上記波形出力値を D/A 変換するタイミングを設定するタイミング制御部と、
- 上記タイミング制御部で設定されたタイミングに応じて、上記波形出力値を D/A 変換する D/A 変換器と、
- を備えたことを特徴とする波形発生回路。
- 20 5. 上記 D/A 変換器の出力値間を補間する低域通過フィルタを備えたことを特徴とする、請求項 4 に記載の波形発生回路。
6. 請求項 4 または請求項 5 に記載の波形発生回路を、発振器の発振周波数を変調する変調回路として備えたことを特徴とするレーダ装置。

第1図 (a)

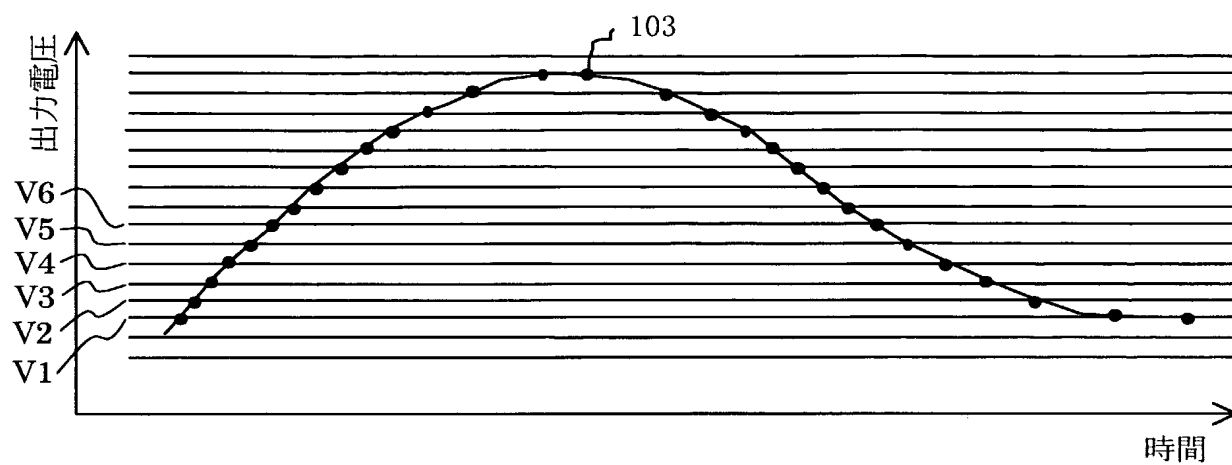


第1図 (b)

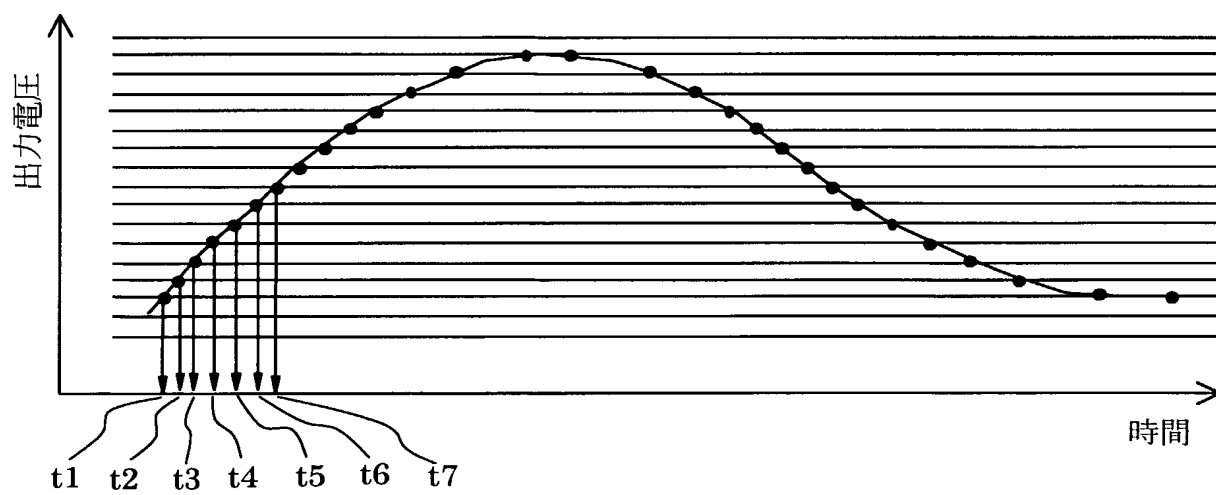


2 / 18

第1図(c)

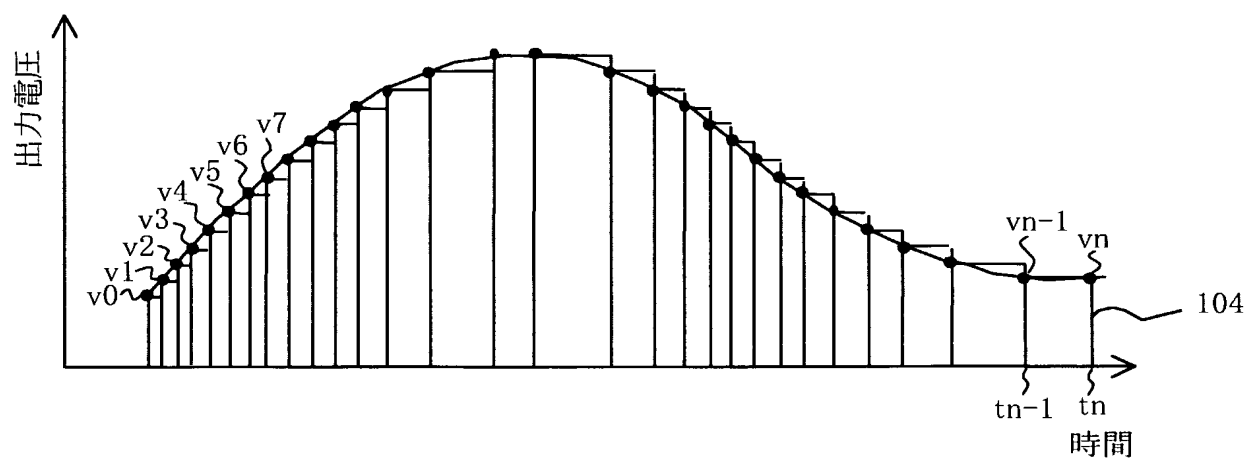


第1図(d)



3 / 18

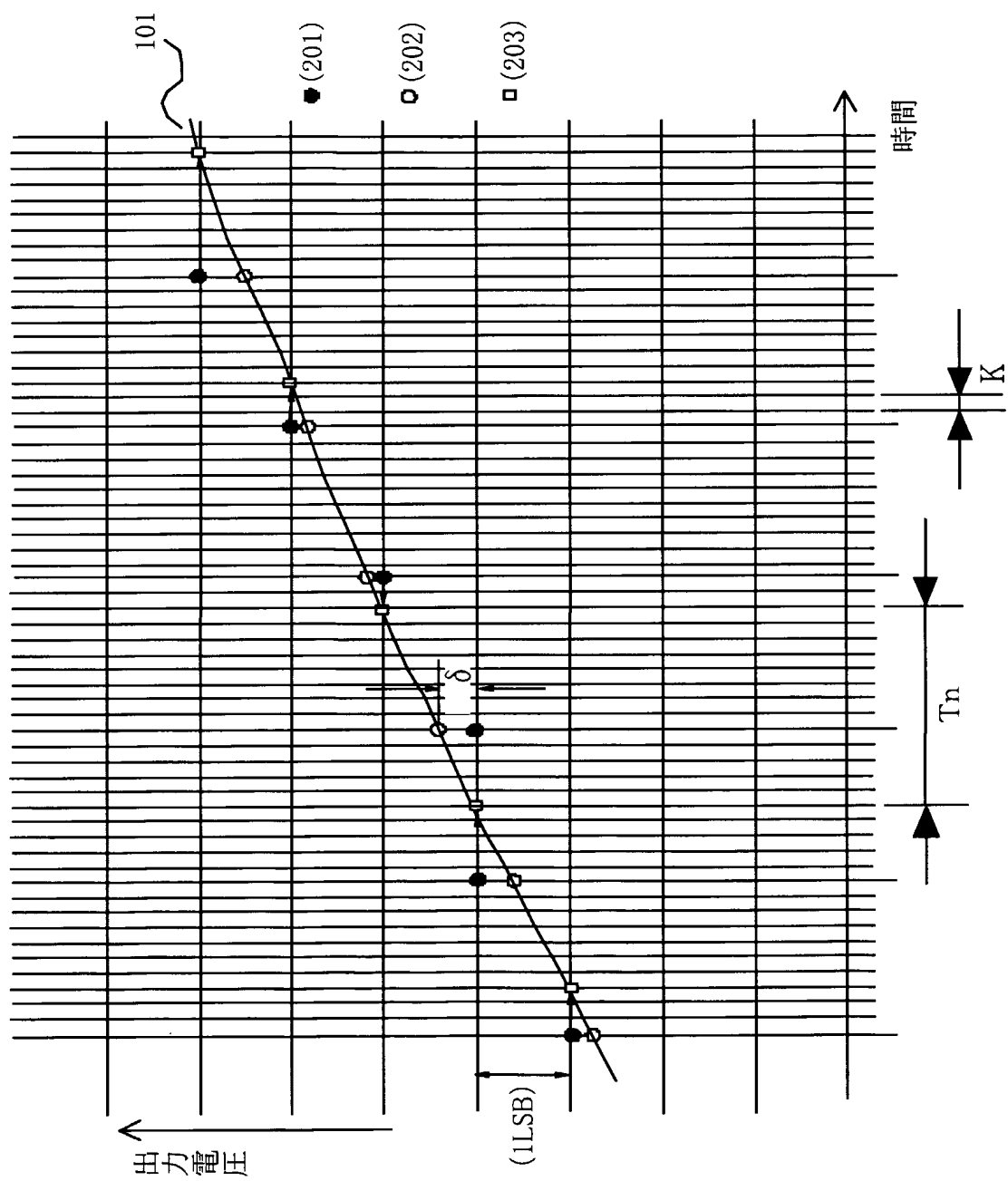
第1図 (e)





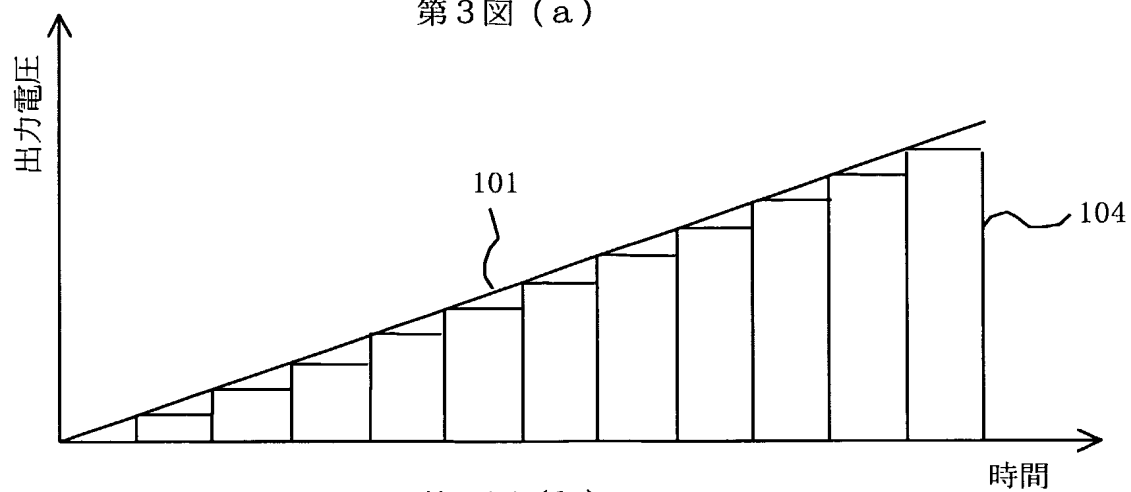
4 / 18

第2図

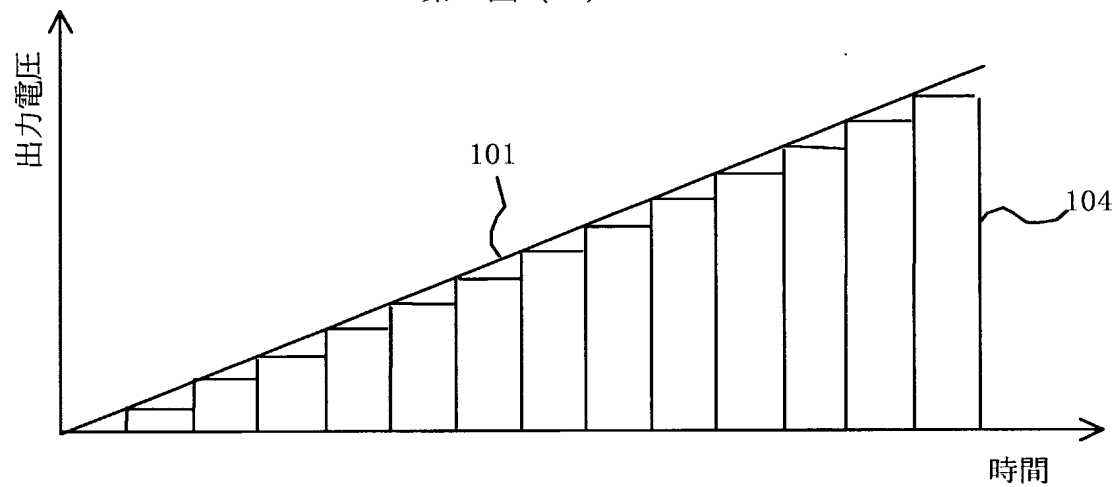


5 / 18

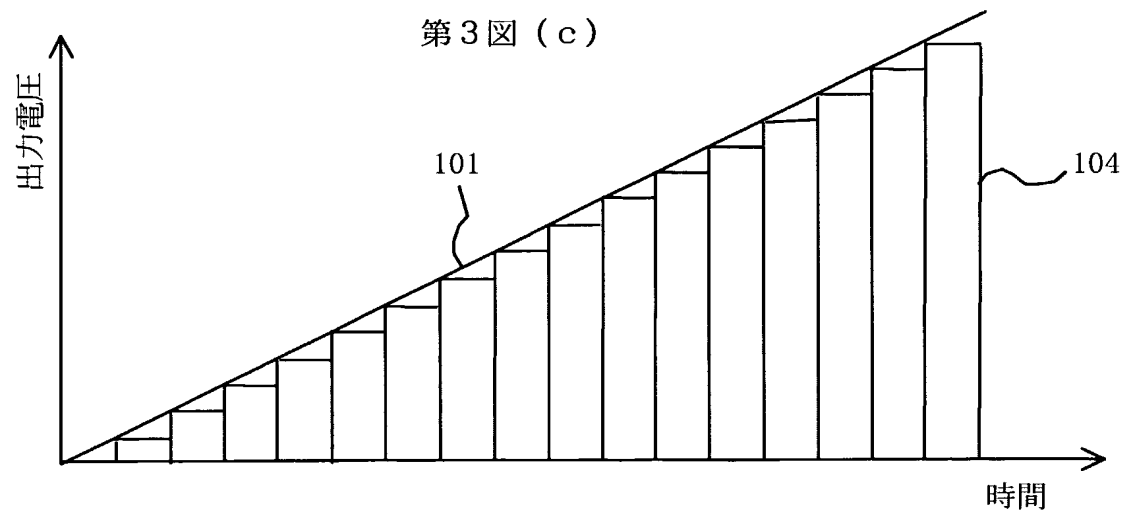
第3図 (a)



第3図 (b)

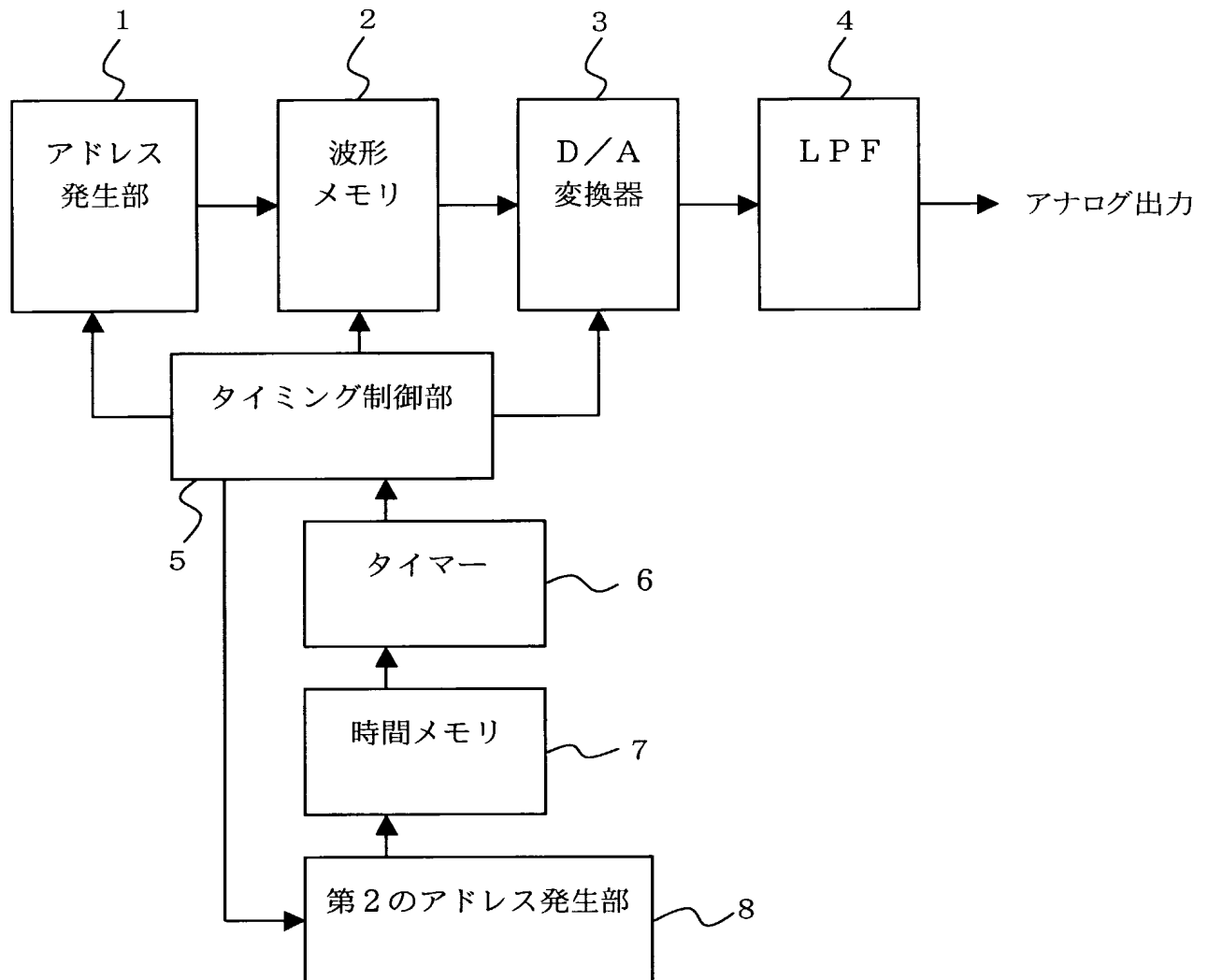


第3図 (c)



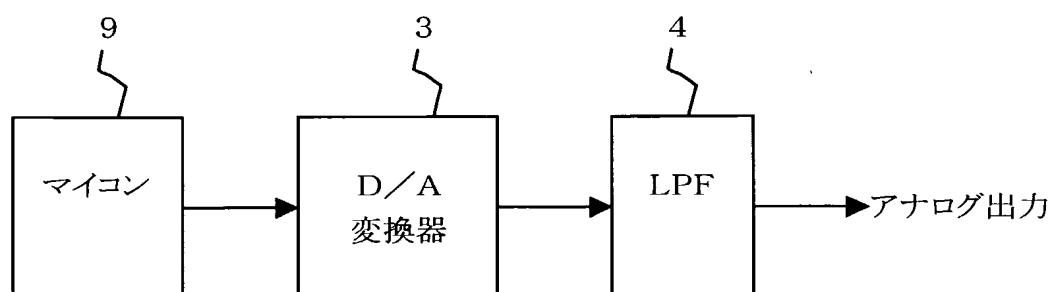
6 / 18

第4図



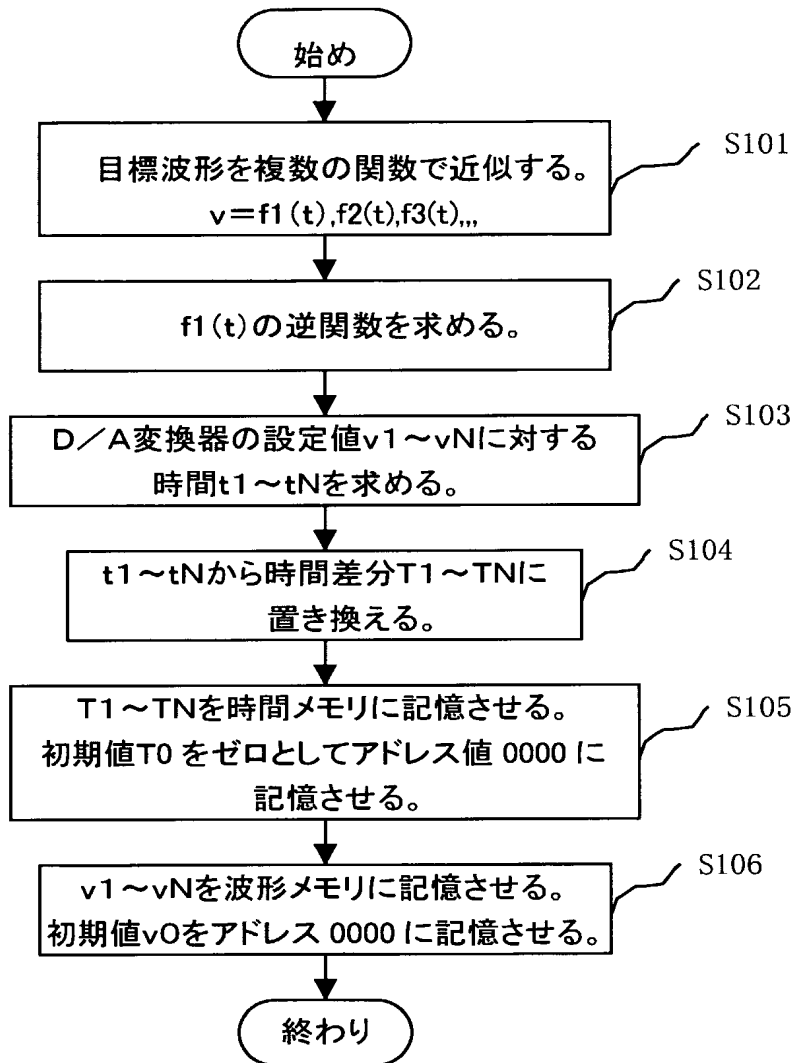
7 / 18

第5図



8 / 18

第6図



9 / 18

第7図 (a)

| 時間メモリ |         |
|-------|---------|
| アドレス  | データ     |
| 0000  | 0       |
| 0001  | T 1     |
| 0002  | T 2     |
| 0003  | T 3     |
| 0004  | T 4     |
| ⋮     | ⋮       |
| N - 1 | T N - 1 |
| N     | T N     |

7

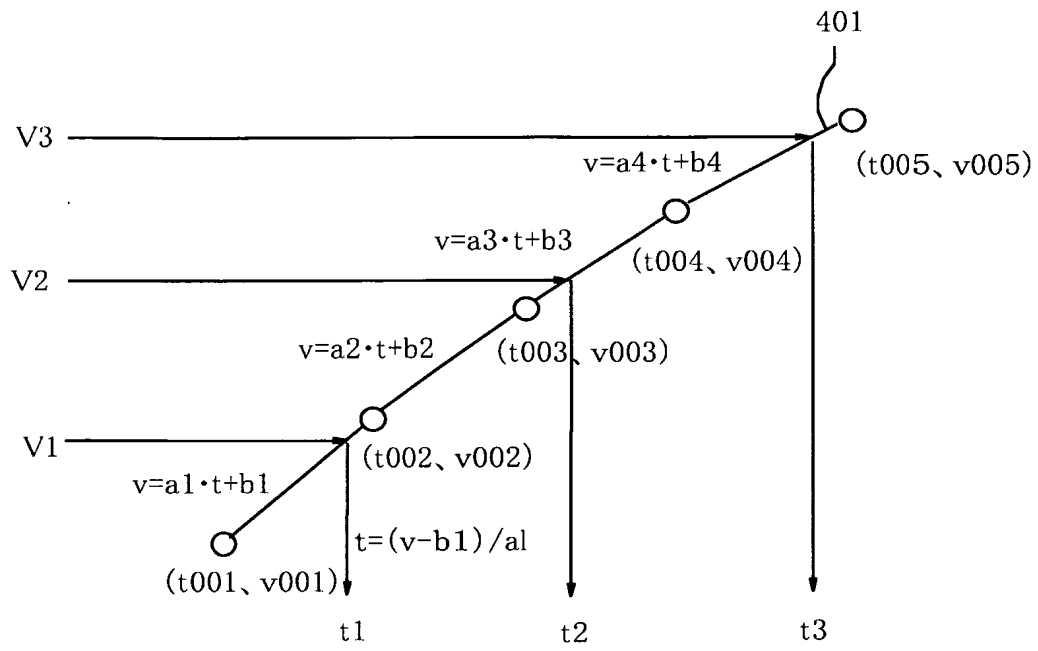
第7図 (b)

| 波形メモリ |         |
|-------|---------|
| アドレス  | データ     |
| 0000  | V 0     |
| 0001  | V 1     |
| 0002  | V 2     |
| 0003  | V 3     |
| 0004  | V 4     |
| ⋮     | ⋮       |
| N - 1 | V N - 1 |
| N     | V N     |

2

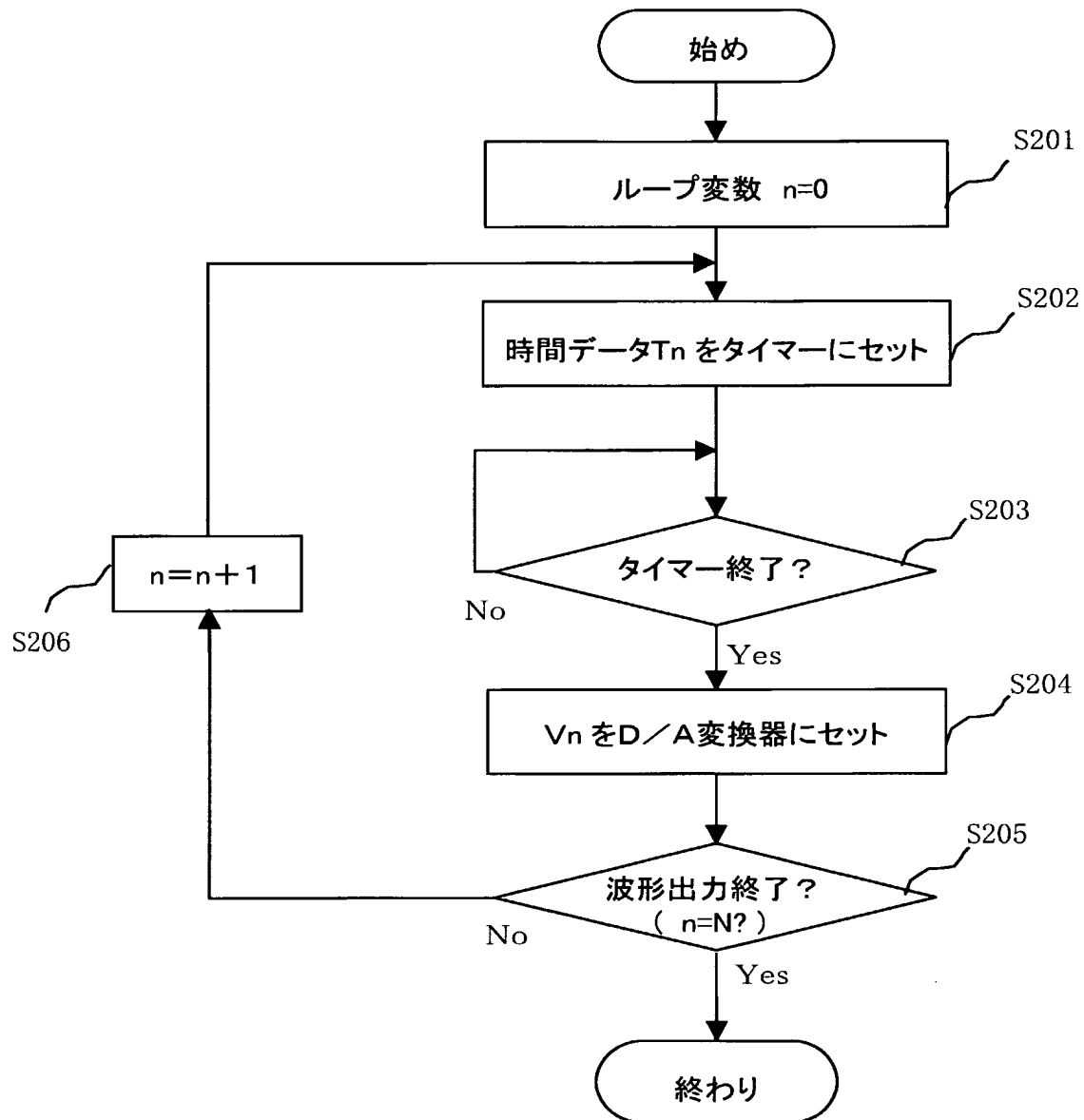
10 / 18

第8図



11 / 18

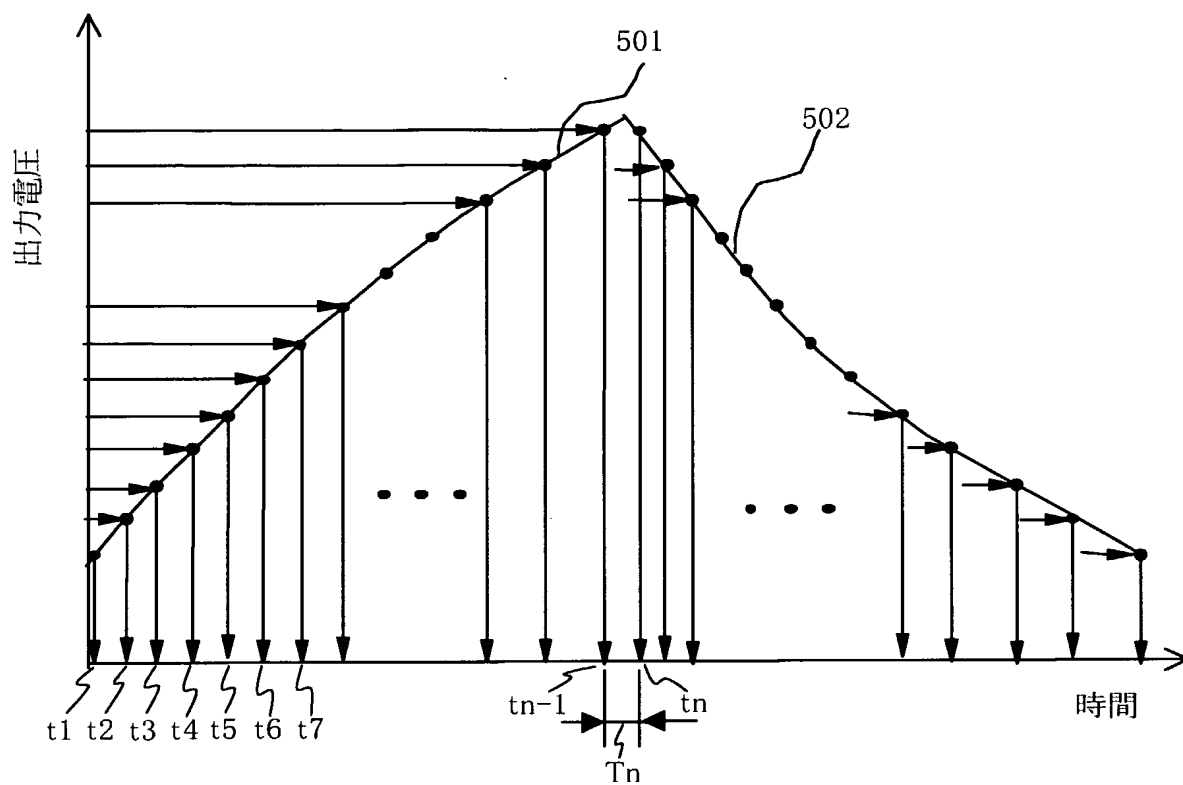
第9図



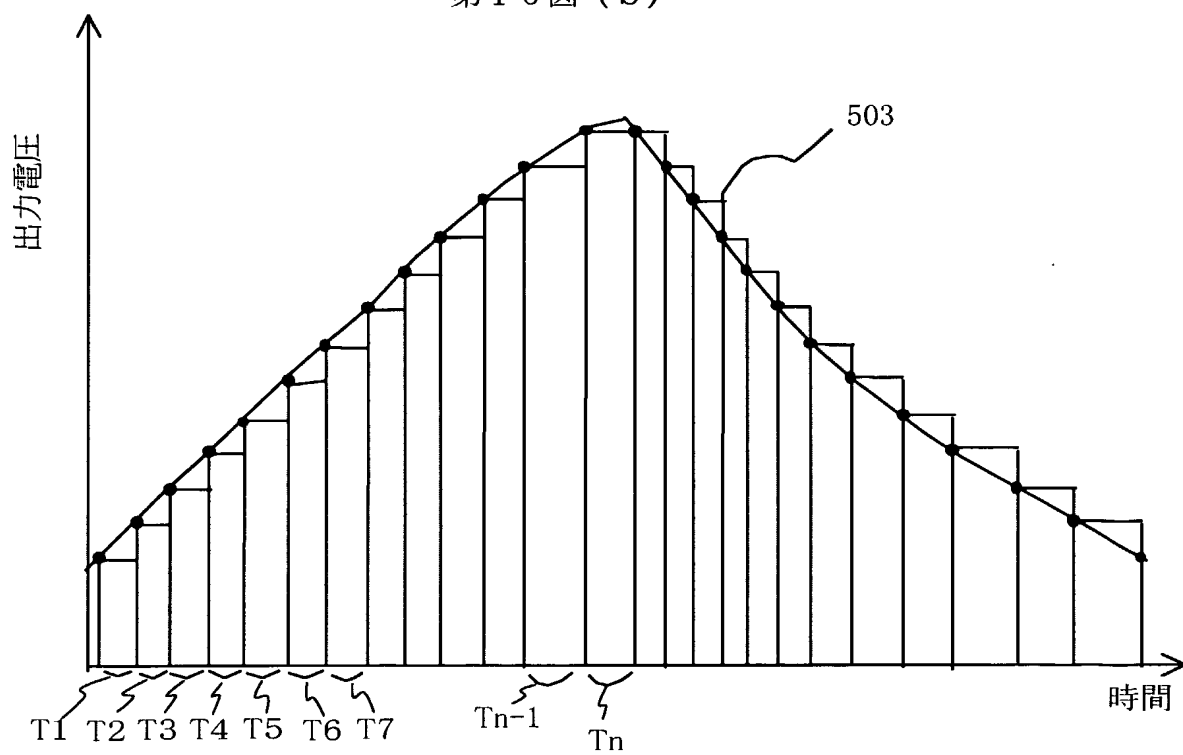


12 / 18

第10図 (a)

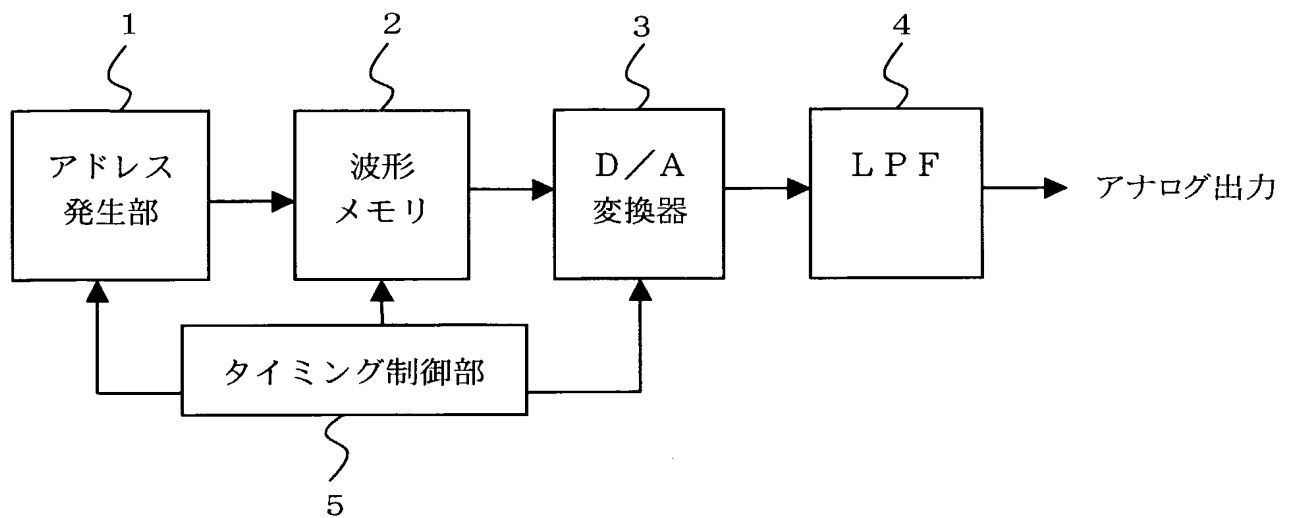


第10図 (b)

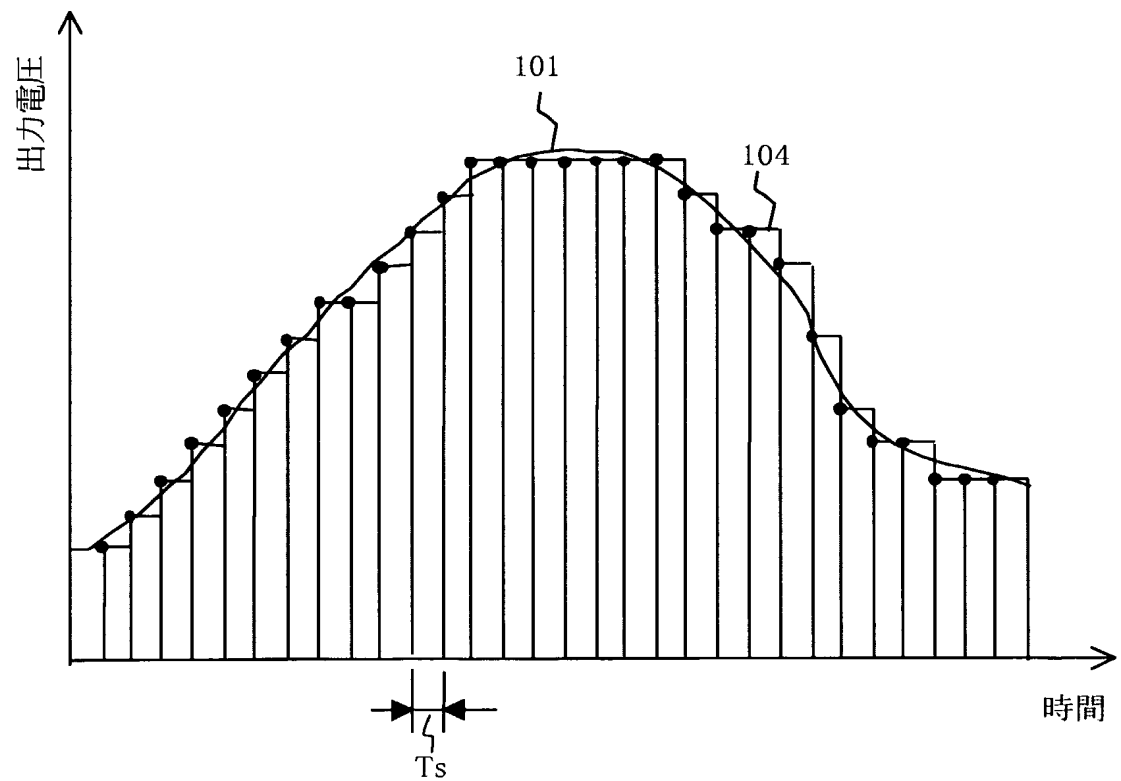


13/18

第11図

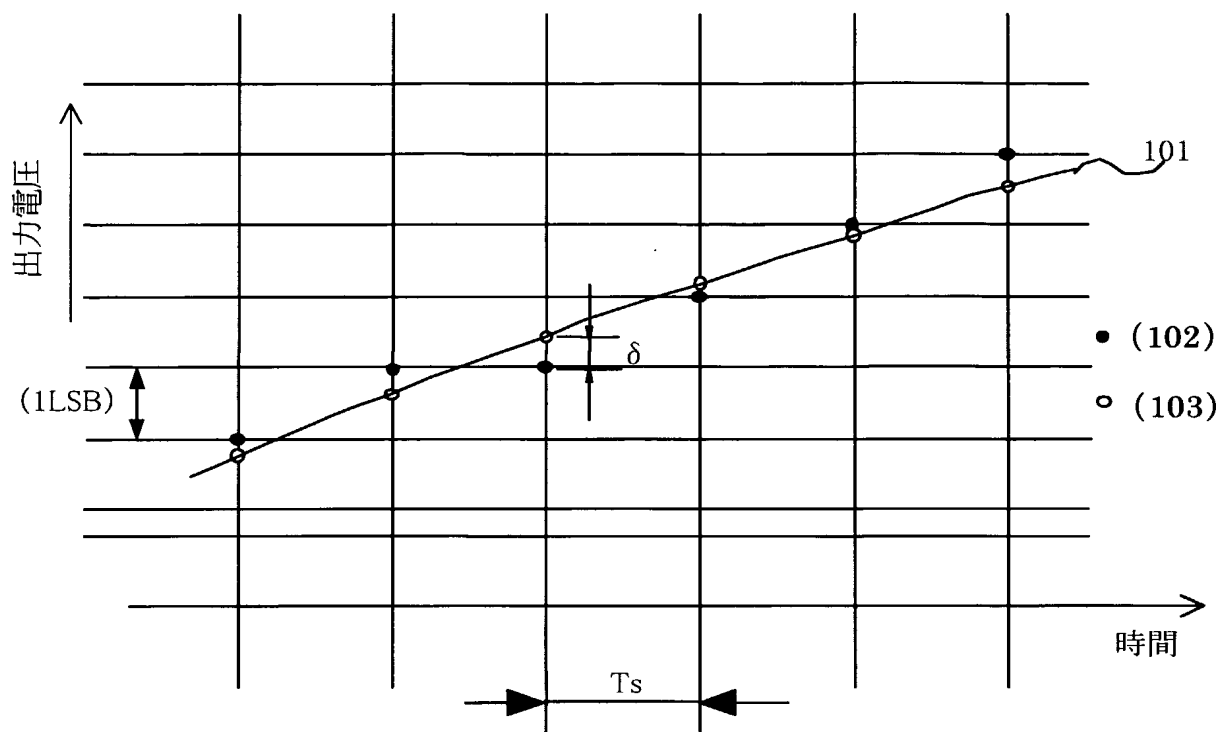


第12図



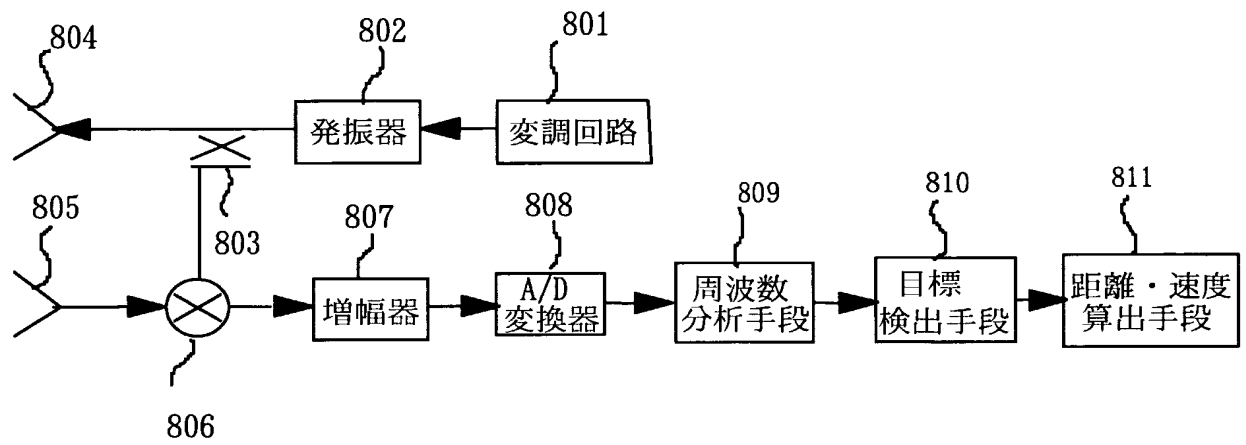
14/18

第13図



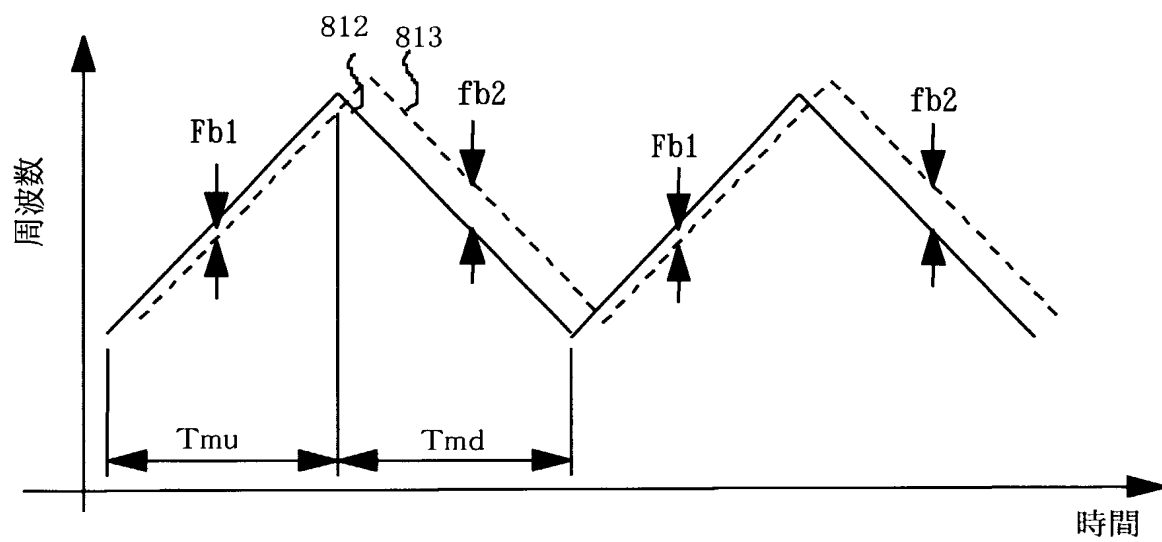
15 / 18

第14図

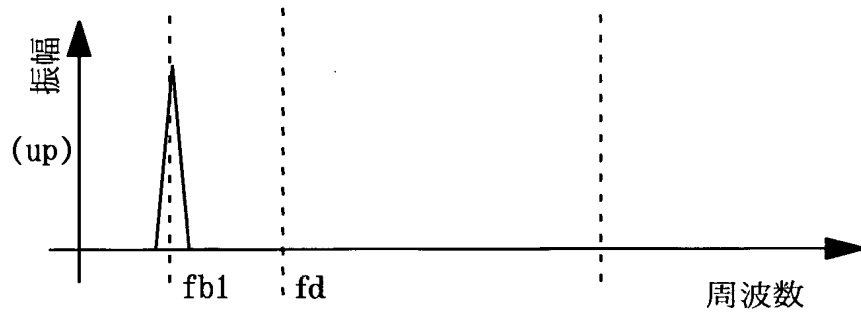


16 / 18

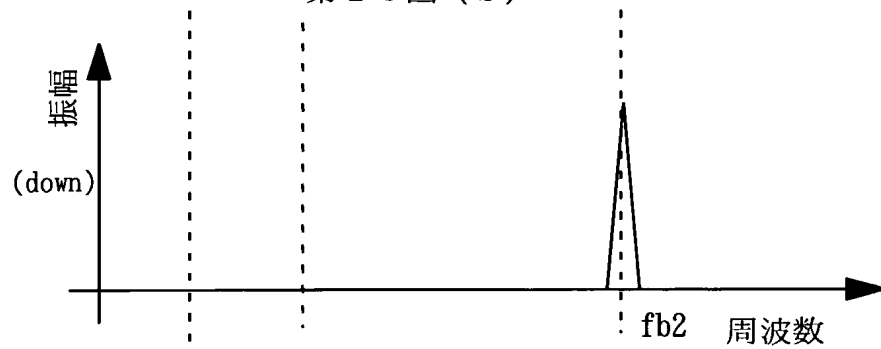
第15図



第16図 (a)

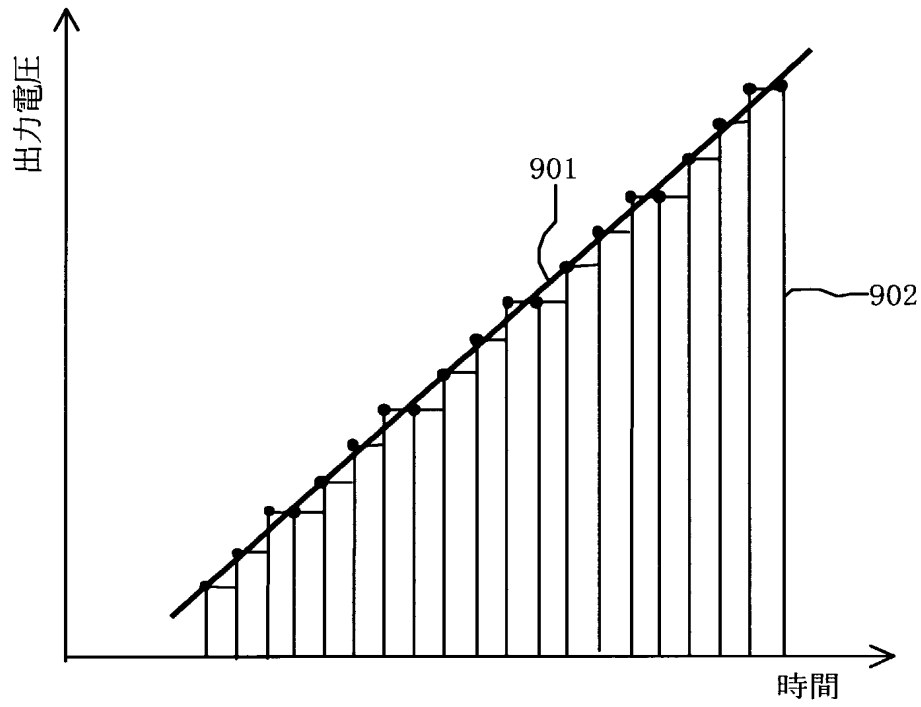


第16図 (b)

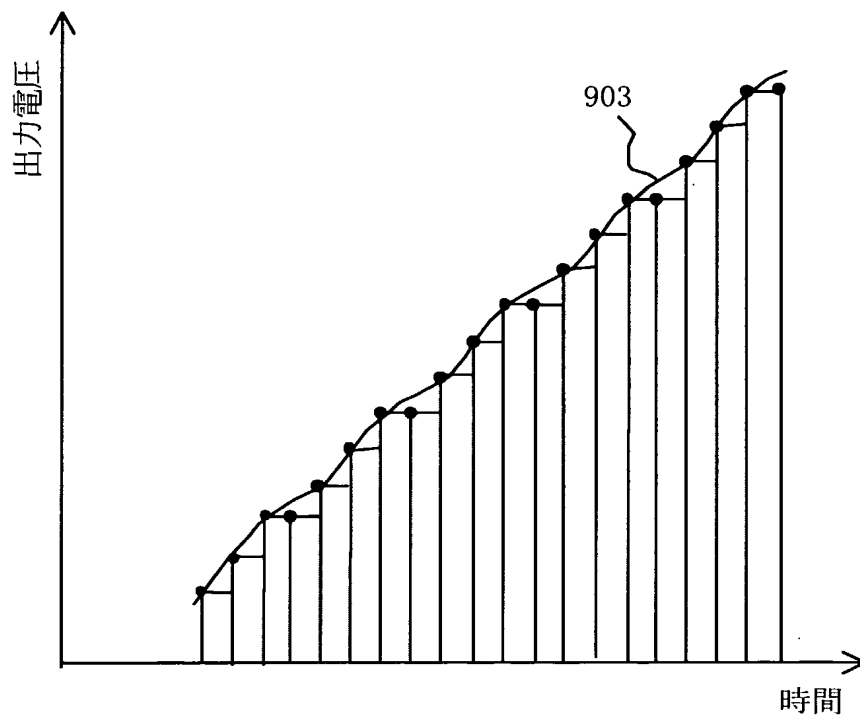


17 / 18

第17図 (a)

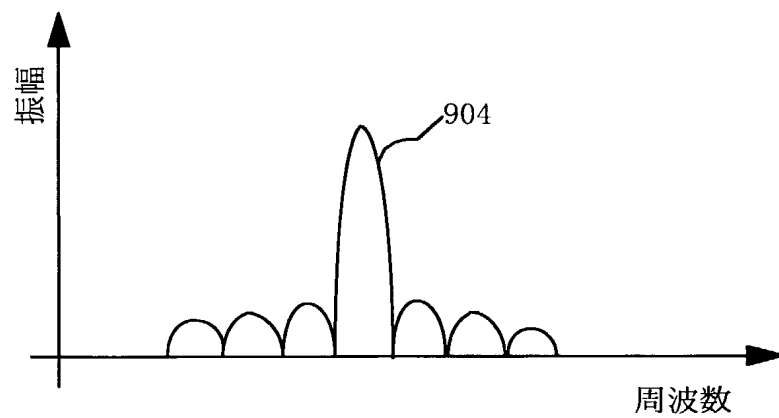


第17図 (b)

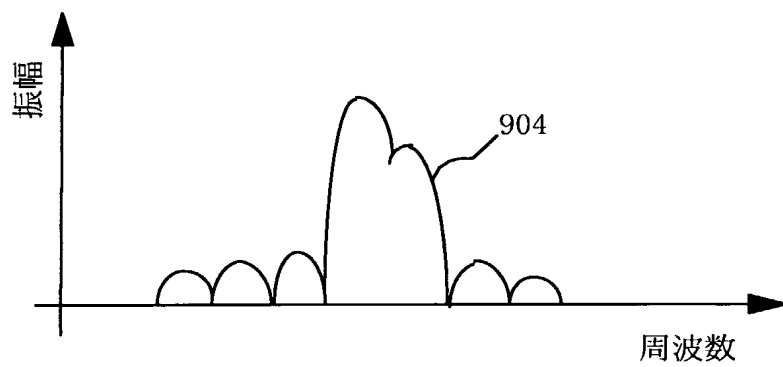


18 / 18

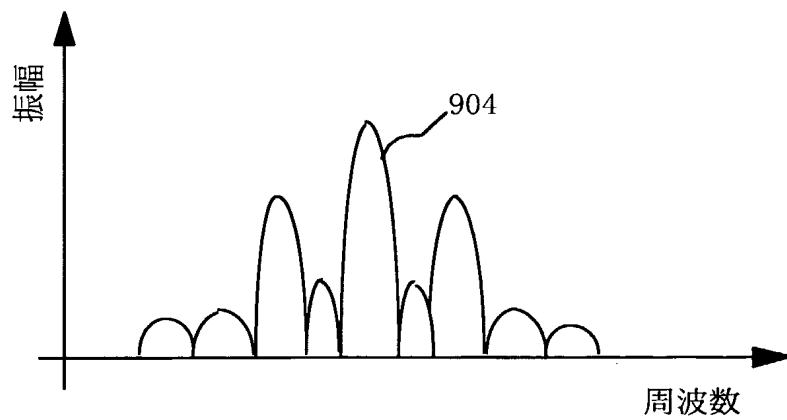
第18図 (a)



第18図 (b)



第18図 (c)



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10702

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H03M1/66, H03B28/00, G01S7/282, G01S7/35, G01S13/34

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H03M1/00-H03M1/88, H03B28/00, G01S7/282, G01S7/35, G01S13/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1926-1996 | Toroku Jitsuyo Shinan Koho | 1994-2003 |
| Kokai Jitsuyo Shinan Koho | 1971-2003 | Jitsuyo Shinan Toroku Koho | 1996-2003 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category*   | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No. |
|-------------|---|-----------------------|
| X<br>Y<br>A | Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 42717/1989 (Laid-open No. 134723/1990) (Yokogawa Electric Corp.), 08 November, 1990 (08.11.90), Full text; all drawings (Family: none) | 1, 2<br>4-6<br>3      |
| X<br>Y<br>A | JP 61-144930 A (Hitachi, Ltd.), 02 July, 1986 (02.07.86), Full text; all drawings (Family: none)  | 1, 2<br>4-6<br>3      |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

|   |  |
|---|--|
| * Special categories of cited documents:  | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  |
| "A" document defining the general state of the art which is not considered to be of particular relevance  | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone   |
| "E" earlier document but published on or after the international filing date  | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family  |
| "O" document referring to an oral disclosure, use, exhibition or other means  |  |
| "P" document published prior to the international filing date but later than the priority date claimed  |  |

Date of the actual completion of the international search  
26 November, 2003 (26.11.03)

Date of mailing of the international search report  
09 December, 2003 (09.12.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10702

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No. |
|-----------|---|-----------------------|
| Y         | JP 11-168325 A (Sony Corp.),<br>22 June, 1999 (22.06.99),<br>Column 1, line 50 to column 2, line 24; column 6,<br>lines 31 to 48; column 12, line 34 to column 14,<br>line 39; column 15, line 26 to column 16, line 9;<br>Figs. 5, 6<br>(Family: none) | 4-6                   |

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H03M1/66, H03B28/00, G01S7/282,  
G01S7/35, G01S13/34

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H03M1/00-H03M1/88, H03B28/00, G01S7/282,  
G01S7/35, G01S13/34

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国登録実用新案公報 1994-2003年  
 日本国実用新案登録公報 1996-2003年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求の範囲の番号 |
|-----------------|---|------------------|
| X<br>Y<br>A     | 日本国実用新案登録出願1-42717号(日本国実用新案登録出願公開2-134723号)の願書に添付した明細書又は図面の内容を撮影したマイクロフィルム(横河電機株式会社), 1990. 11. 08, 全文全図参照(ファミリーなし) | 1, 2<br>4-6<br>3 |
| X<br>Y<br>A     | JP 61-144930 A(株式会社日立製作所), 1986. 07. 02, 全文全図参照(ファミリーなし)  | 1, 2<br>4-6<br>3 |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

## 国際調査を完了した日

26. 11. 03

## 国際調査報告の発送日

09.12.03

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

## 特許庁審査官 (権限のある職員)

柳下 勝幸



5X 9561

電話番号 03-3581-1101 内線 3556

| C (続き) . 関連すると認められる文献 |  |                  |
|-----------------------|--|------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示  | 関連する<br>請求の範囲の番号 |
| Y                     | JP 11-168325 A(ソニー株式会社), 1999. 06. 22, 第1欄第50行～第2欄第24行, 第6欄第31～48行, 第12欄第34行～第14欄第39行, 第15欄第26行～第16欄第9行, 第5, 6図参照(ファミリーなし) | 4-6              |

**PUB-NO:** WO2004019496A1  
**DOCUMENT-IDENTIFIER:** WO 2004019496 A1  
**TITLE:** WAVEFORM GENERATION METHOD,  
WAVEFORM GENERATION  
PROGRAM, WAVEFORM  
GENERATION CIRCUIT, AND RADAR  
DEVICE  
**PUBN-DATE:** March 4, 2004

**INVENTOR-INFORMATION:**

| NAME              | COUNTRY |
|-------------------|---------|
| INATSUNE, SHIGEHO | JP      |

**ASSIGNEE-INFORMATION:**

| NAME                     | COUNTRY |
|--------------------------|---------|
| MITSUBISHI ELECTRIC CORP | JP      |
| INATSUNE SHIGEHO         | JP      |

**APPL-NO:** JP00310702  
**APPL-DATE:** August 25, 2003

**PRIORITY-DATA:** JP2002244918A (August 26, 2002)

**INT-CL (IPC):** H03M001/66 , H03B028/00 , G01S007/282 ,  
G01S007/35 , G01S013/34

**ABSTRACT:**

CHG DATE=20040323 STATUS=O>A conventional waveform

generation circuit needs to increase the D/A converter bit count and the sampling rate in order to increase the accuracy of the waveform rectification, which in turn increases the cost. To solve this problem, as a method for increasing the accuracy of waveform rectification, the output time interval of the D/A converter output values is controlled so that the output voltage difference between the target waveform and the output waveform is reduced, thereby reducing the output waveform quantization error. Thus, it is possible to generate a waveform with a high accuracy even when the D/A converter bit count is small. Moreover, by applying the waveform generation method to radar device modulation control, it is possible to constitute a modulation circuit of a small-size and cheap oscillator.